

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-281684

(43)Date of publication of application : 10.10.2001

(51)Int.Cl.

G02F 1/1343

G02F 1/13

G02F 1/1368

G03B 21/00

H01L 29/786

H01L 21/336

(21)Application number : 2001-010372

(71)Applicant : NEC CORP

(22)Date of filing : 18.01.2001

(72)Inventor : OKUMURA NOBU

(30)Priority

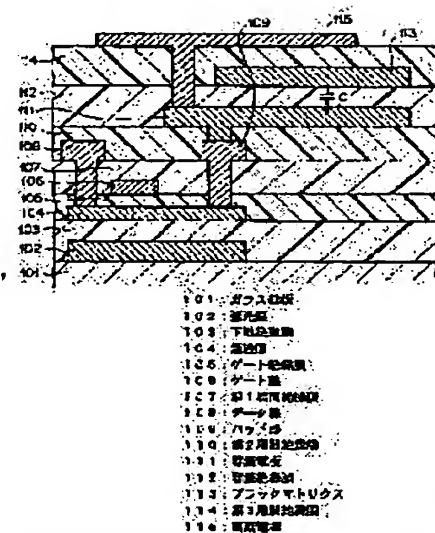
Priority number : 2000014996 Priority date : 24.01.2000 Priority country : JP

(54) LIQUID CRYSTAL DISPLAY DEVICE AND LIQUID CRYSTAL PROJECTOR APPARATUS

(57)Abstract:

PROBLEM TO BE SOLVED: To realize coexistence of aperture ratio and storage capacitance of a display device.

SOLUTION: The device has a plurality of layers 104, 103, 106, 108 and 109, constituting a switching device on a substrate 101, a pixel electrode layer 115 connected to the switching device and a capacity electrode layer 111 acting as one electrode of capacity, consisting of a layer different from the pixel electrode layer and the plurality of layers.



LEGAL STATUS

[Date of request for examination] 12.08.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The liquid crystal display which has the capacity electrode layer used as one electrode of capacity which consists of a different layer from two or more layers which constitute a switching device on a substrate, the pixel electrode layer connected to this switching device, and this pixel electrode layer and these two or more layers.

[Claim 2] Said capacity electrode layer is a liquid crystal display according to claim 1 formed between said two or more layers and said pixel electrode layer.

[Claim 3] The liquid crystal display according to claim 1 or 2 by which said capacity electrode layer is connected with said pixel electrode layer.

[Claim 4] The liquid crystal display according to claim 3 which comes to constitute said capacity from preparing a conductive protection-from-light layer through an insulator layer on said capacity electrode layer.

[Claim 5] The liquid crystal display according to claim 3 which comes to constitute said capacity from preparing said capacity electrode layer through an insulator layer on a conductive protection-from-light layer.

[Claim 6] A liquid crystal display given in one claim of claim 1 to claims 5 characterized by the conductive thin film layer located more in the upper part among the vertical two-layer conductive thin film layers which constitute said capacity serving as two-layer structure of a barrier layer and a metal layer.

[Claim 7] The liquid crystal display according to claim 6 characterized by said barrier layer being a non-single crystal semiconductor thin film.

[Claim 8] The liquid crystal display according to claim 7 characterized by said non-single crystal semiconductor thin film being micro crystal silicon formed by the plasma-CVD method.

[Claim 9] The liquid crystal display according to claim 1 or 2 to which a protection-from-light layer is prepared between said two or more layers and said pixel electrode layer, and this protection-from-light layer and said capacity electrode layer are connected.

[Claim 10] The liquid crystal display according to claim 9 which comes to constitute said capacity from preparing said pixel electrode layer through an insulator layer on said capacity electrode layer.

[Claim 11] Said switching device is a liquid crystal display given in one claim of claim 1 to claims 10 which are the insulated gate field effect transistor which has a barrier layer, gate dielectric film, gate ****, and a data-line layer, and have a substrate protection-from-light layer under this barrier layer.

[Claim 12] Liquid crystal projector equipment which equipped a liquid crystal display and this liquid crystal display given in one claim of claim 1 to claims 11 with the light source which irradiates light, the optical system which leads the light from this light source to this liquid crystal display, and the optical system for projecting the information light from this liquid crystal display.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to the liquid crystal display and liquid crystal projector equipment which have two or more layers which constitute a switching device on a substrate, the pixel electrode layer connected to this switching device, and a capacity electrode layer used as one electrode of capacity with respect to a liquid crystal display and liquid crystal projector equipment.

[0002]

[Description of the Prior Art] It is possible to form the liquid crystal display equipped with the actuation circuit on a cheap glass substrate by the polish recon thin film transistor (poly-Si TFT) in recent years. poly-SiTFT is suitable for the liquid crystal light valve for data projectors with which the miniaturization of a pixel thin film transistor (TFT) is attained since it is high mobility compared with an amorphous silicon thin film transistor (a-SiTFT), especially small highly minute-ization is demanded.

[0003] Generally in addition to the same thin film configuration as common direct viewing type liquid crystal panels, such as a barrier layer, gate dielectric film, a gate line, the data line, and a pixel electrode, a poly-SiTFT liquid crystal light valve forms the lower protection-from-light layer (substrate protection-from-light layer) for protecting TFT from the reflected light from the substrate rear face of incident light. Moreover, it is more advantageous to create to a TFT substrate side at a high definition point, since a problem is in eye doubling precision with a TFT substrate when it creates to an opposite substrate side although the black matrix (BM) of the pixel division used as an up protection-from-light layer may be created to whichever of a TFT substrate or an opposite substrate.

[0004] The typical structure sectional view of the conventional black matrix one apparatus TFT substrate is shown in drawing 10 . The mimetic diagram of the pixel field divided into drawing 11 by the data line and the gate line is shown.

[0005] the storage capacitance of a pixel is formed here mainly between a barrier layer 104 and the capacity electrode layer 111 used as the gate line 106 and this layer (namely, -- simultaneous -- membrane formation -- and the shape of an island-izing). The capacity electrode layer 111 is connected with the black matrix 113 through the pad section 116 of the data line 108 and this layer, and potential is impressed to a black matrix in the exterior of a pixel array. The pixel electrode layer 115 is connected with a barrier layer 104 through the pad section 109 of the data line 108 and this layer.

[0006] In addition, as this kind of a liquid crystal display, JP,5-289108,A, JP,9-26603,A, JP,9-197439,A, JP,10-206893,A, and patent No. 2950061 have disclosure.

[0007]

[Problem(s) to be Solved by the Invention] As shown in drawing 11 , in the pixel field, an are recording part by volume, the pad section, a contact hole, etc. are formed, and these become the factor which reduces a numerical aperture. That is, a pixel numerical aperture and the magnitude of the are recording part by volume which specifies storage capacitance have the relation of a trade-off.

[0008] As stated above, there is a problem of coexistence of a numerical aperture and storage capacitance in a liquid crystal light valve.

[0009]

[Means for Solving the Problem] The liquid crystal display of this invention has the capacity electrode layer used as one electrode of capacity which consists of a different layer from two or more layers which constitute a switching device on a substrate, the pixel electrode layer connected to this switching device, and this pixel electrode layer and these two or more layers.

[0010] The liquid crystal projector equipment of this invention equips the liquid crystal display and this liquid crystal display of above-mentioned this invention with the light source which irradiates light, the optical system which leads the light from this light source to this liquid crystal display, and the optical system for projecting the information light from this liquid crystal display.

[0011] This invention aims at coexistence of a pixel numerical aperture and storage capacitance by having a capacity electrode layer as an independent layer in the active matrix liquid crystal light valve of a liquid crystal display, especially liquid crystal projector equipment.

[0012]

[Example] Hereafter, the example of this invention is explained to a detail using a drawing.

[0013] (The 1st example) The 1st example of this invention is explained using the structure sectional view of drawing 1, and the top view of drawing 2. In addition, drawing 1 is drawing which expressed all the thin film layers of the liquid crystal display by this invention typically, and is not drawing showing a certain specific cross section in the top view of drawing 2.

[0014] First, the shape of an island-izing [WSi₂ / membranes were formed using the spatter and / with the usual periodic reverse current plating (photoresist process)] as a lower protection-from-light layer (substrate protection-from-light layer) 102 on the glass substrate 101 so that it might become 180nm of thickness. next, as a substrate insulator layer 103, it becomes 500nm of thickness about SiO₂ -- as -- PECVD -- membranes were formed using law (plasma-CVD method).

[0015] Next, the shape of an island-izing [the poly-Si film used as a barrier layer 104 was formed, and / with periodic reverse current plating]. It decided to use the laser annealing method as a method of forming the poly-Si film here. First, after forming membranes using the PECVD method so that it may become 60nm of thickness about the a-Si film, dehydrogenation annealing for [it is based on 400 degrees] 30 minutes was performed, and excimer laser light was irradiated. As exposure conditions, it is 2 and energy-density 450 mJ/cm² the beam diameter of 200x0.4mm, and considered as the scanning exposure of 95% of rates of a pile.

[0016] next, as gate dielectric film 105, it becomes 100nm of thickness about SiO₂ -- as -- PECVD -- membranes were formed using law. Next, the shape of an island-izing [WSi₂ / membranes were formed using the spatter so that it might become 150nm of thickness, and / with periodic reverse current plating] as a gate line 106.

[0017] The impurity of P and B was doped by the ion doping method after forming the gate line 106 in the location used as the source of a barrier layer 104, a drain, and a LDD field, and heat-of-activation processing of 4 hours by 500 degrees was performed. next, SiN is set to 300nm as the 1st interlayer insulation film 107 -- as -- PECVD -- membranes were formed using law. Next, the shape of an island-izing [the dry etching method was used for the desired location for the contact hole, and / aluminum / membranes were formed using the spatter so that it might become 400nm of thickness, and / with periodic reverse current plating] after formation and as the data line 108. Here, the pad section 109 was also formed simultaneously.

[0018] next, SiN is set to 400nm as the 2nd interlayer insulation film 110 -- as -- PECVD -- membranes were formed using law. Next, the shape of an island-izing [the contact hole / membranes were formed using the spatter so that it might become 80nm of thickness about Ti, and / with periodic reverse current plating] after formation and as a capacity electrode layer 111 using the dry etching method. next, SiN is set to 200nm as a capacity insulator layer 112 -- as -- PECVD -- membranes were formed using law. Next, the shape of an island-izing [aluminum / membranes were formed using the spatter so that it might become 500nm of thickness, and / with periodic reverse current plating] as a black matrix 113 used as an up protection-from-light layer. In this example, main storage capacitance

is formed between the capacity electrode layer 111 and the black matrix 113. In the exterior of a pixel array, potential is impressed to the black matrix 113.

[0019] next, SiN is set to 200nm as the 3rd interlayer insulation film 114 -- as -- PECVD -- after forming membranes using law, the organic flattening film was applied so that it might become 800nm of thickness, and was calcinated. Next, the shape of an island-izing [the contact hole / membranes were formed using the spatter so that it might become 100nm of thickness about ITO, and / with periodic reverse current plating] after formation and as a pixel electrode layer 115 using the dry etching method. The TFT substrate was completed according to the above process.

[0020] In this example, storage capacitance is formed in the black matrix lower part except for the slight contact section. Moreover, there are three contact holes and they are decreasing in number from four of the conventional example. Therefore, it became possible to achieve coexistence of a numerical aperture and storage capacitance.

[0021] (The 2nd example) The 2nd example of this invention is explained using the structure sectional view of drawing 3 , and the top view of drawing 4 . From the lower protection-from-light layer 102 to the capacity electrode layer 111 is formed on a glass substrate 101 like the 1st example. next, SiN is set to 80nm as a capacity insulator layer 112 -- as -- PECVD -- membranes were formed using law. next, as a barrier layer 117, it becomes 100nm of thickness about the micro crystal (microcrystal) silicon thin film which introduced P as an impurity -- as -- PECVD -- membranes were formed using law, and membranes were formed using the spatter so that it might next become 400nm of thickness about aluminum as a black matrix 113. Next, the shape of an island-izing [the two-layer thin film of the black matrix 113 and the barrier layer 117 / with periodic reverse current plating] collectively. In this example, main storage capacitance is formed between the capacity electrode layer 111 and the black matrix 113 which has the barrier layer 117.

[0022] Here, when the black matrix 113 has the barrier layer 117, the effectiveness that capacity inter-electrode leakage current falls shows up. For example, the leakage current between capacity in this example becomes 1/100 of the leakage current between capacity in the 1st example. This is a metal used for the black matrix 113. It is because diffusion into the capacity insulator layer 112 of (aluminum) is controlled by the barrier layer 117. Therefore, in this example, as a result of becoming possible to thin-film-ize thickness of the capacity insulator layer 112 and the capacity value per unit area of a capacity electrode increasing, it becomes possible to reduce the area of a capacity electrode. Since the improvement in the further numerical aperture or spacing between each conductive layer can be extended when the area of a capacity electrode decreases, the yield and dependability improve.

[0023] As a barrier layer, polycrystalline silicon, TiN, TiSi₂, etc. are used besides micro crystal silicon. However, since aluminum is used for the data line 108, membrane formation temperature of the barrier layer 117 is made into 350 or less degrees. Therefore, a spatter or the PECVD method is used as a method of forming the barrier layer 117. Moreover, in the case of polycrystalline silicon, it is possible to crystallize and form amorphous silicon in a substrate layer comparatively by the crystallizing method without things for which a temperature rise is brought about, such as the laser annealing method or the RTA method (the rapid thermal annealing method).

[0024] Then, even the pixel electrode 115 was formed like the 1st example, and the TFT substrate was completed. In this example, storage capacitance is formed in the black matrix lower part except for the slight contact section. Moreover, there are three contact holes and they are decreasing in number from four of the conventional example. Moreover, it has the barrier layer 117 in the lower layer of a black matrix. Therefore, it became the yield and dependability are high and possible to achieve coexistence of a numerical aperture and storage capacitance.

[0025] (The 3rd example) The 3rd example of this invention is explained using the structure sectional view of drawing 5 , and the top view of drawing 6 . Even from the lower protection-from-light layer 102 to the data line 108 and the pad section 109 are formed on a glass substrate 101 like the 1st example. Next, the shape of an island-izing [Cr / membranes were formed using the spatter and / with the usual

periodic reverse current plating] as a black matrix 113 so that it might be set to 150nm. next, SiN is set to 80nm as a capacity insulator layer 112 -- as -- PECVD -- membranes were formed using law. Next, as a barrier layer 117, TiN was formed using the spatter so that it might become 50nm of thickness. Next, the contact hole to the pad section 109 was formed by usual periodic reverse current plating and the usual dry etching method. Next, as a capacity electrode 111, aluminum was formed using the spatter so that it might become 400nm of thickness. Next, the shape of an island-izing [the capacity electrode 111 and the two-layer thin film of the barrier layer 117 / with periodic reverse current plating] collectively. In this example, main storage capacitance is formed between the capacity electrode layer 111 which has the barrier layer 117, and the black matrix 113.

[0026] Then, even the pixel electrode 115 was formed like the 1st example, and the TFT substrate was completed. In this example, storage capacitance is formed in the black matrix lower part except for the slight contact section. Moreover, there are three contact holes and they are decreasing in number from four of the conventional example. Moreover, it has the barrier layer 117 in the lower layer of a capacity electrode. Therefore, it became the yield and dependability are high and possible to achieve coexistence of a numerical aperture and storage capacitance.

[0027] (The 4th example) The 4th example of this invention is explained using the structure sectional view of drawing 7 , and the top view of drawing 8 . The shape of an island-izing [Cr / membranes were formed using the spatter and / with the usual periodic reverse current plating] as a lower protection-from-light layer (substrate protection-from-light layer) 102 on the glass substrate 101 so that it might become 200nm of thickness. next, as a substrate insulator layer 103, it becomes 500nm of thickness about SiO₂ -- as -- PECVD -- membranes were formed using law. Next, the shape of an island-izing [the poly-Si film used as a barrier layer 104 was formed, and / with periodic reverse current plating]. It decided to use the laser annealing method as a method of forming the poly-Si film here. First, after forming the a-Si film using the LPCVD method (low voltage CVD method) so that it may become 50nm of thickness, excimer laser light was irradiated. As exposure conditions, it is 2 and energy-density 450 mJ/cm² the beam diameter of 200x0.4mm, and considered as the scanning exposure of 95% of rates of a pile. next, as gate dielectric film 105, it becomes 100nm of thickness about SiO₂ -- as -- PECVD -- membranes were formed using law. Next, the shape of an island-izing [WSi₂ / membranes were formed using the spatter so that it might become 150nm of thickness, and / with periodic reverse current plating] as a gate line 106.

[0028] the location which serves as the source of a barrier layer, a drain, and a LDD field by the ion doping method after gate line formation -- the impurity of P and B -- doping -- RTA -- heat-of-activation processing by law was performed. next, SiN is set to 300nm as the 1st interlayer insulation film 107 -- as -- PECVD -- membranes were formed using law. Next, the shape of an island-izing [the dry etching method was used for the desired location for the contact hole, and / the Ti/aluminum double layer membrane / membranes were formed using the spatter so that it might be set to thickness 50 and 400nm, and / with periodic reverse current plating] after formation and as the data line 108.

Here, the pad section 109 was also formed simultaneously. next, SiN is set to 400nm as the 2nd interlayer insulation film 110 -- as -- PECVD -- membranes were formed using law. Next, the shape of an island-izing [aluminum / membranes were formed using the spatter so that it might become 500nm of thickness, and / with periodic reverse current plating] as a black matrix 113. next, SiN is set to 200nm as the 3rd interlayer insulation film 114 -- as -- PECVD -- after forming membranes using law, the organic flattening film was applied so that it might become 800nm of thickness, and was calcinated.

[0029] Next, the shape of an island-izing [the contact hole / membranes were formed using the spatter so that it might become 50nm of thickness about ITO, and / with periodic reverse current plating] after formation and as a capacity electrode layer 111 using the dry etching method. Next, as a capacity insulator layer 112, SiO₂ was formed using the spatter so that it might be set to 100nm. Next, the shape of an island-izing [the contact hole / membranes were formed using the spatter so that it might become 100nm of thickness about ITO, and / with periodic reverse current plating] after formation and

as a pixel electrode layer 115 using the dry etching method. In this example, main storage capacitance is formed between the capacity electrode layer 111 and the pixel electrode layer 115. In the exterior of a pixel array, potential is impressed to the black matrix 113. The TFT substrate was completed according to the above process.

[0030] In this example, rear-spring-supporter formation of the storage capacitance is carried out with the ITO film which has translucency at the pixel field at large. Moreover, there are three contact holes and they are decreasing in number from four of the conventional example. Therefore, it became possible to achieve coexistence of a numerical aperture and storage capacitance.

[0031] Hereafter, the example of 1 configuration of the liquid crystal projector equipment using the liquid crystal display of this invention is explained. This liquid crystal projector equipment is indicated by JP,11-337900,A.

[0032] Drawing 9 is drawing showing the example of 1 configuration of the liquid crystal projector equipment of this invention. In drawing 9, incidence of the light irradiated from the lamp 201 is carried out to a dichroic mirror 206 through the UV-IR cut-off filter 202, the multi-array lens 203,204, and a plano-convex lens 205, and it is divided into the red light R and green light G, and blue glow B. Furthermore, the red light R and green light G are separated into the red light R and green light G by the dichroic mirror 207.

[0033] The separated blue glow B is led to the liquid crystal panel 208 for blue through a mirror 220 and a condensing lens 221. Moreover, the separated red light R is led to the liquid crystal panel 210 for red through a condensing lens 209. Moreover, the separated green light G is led to the liquid crystal panel 216 for green through a relay lens 211, a mirror 212, a relay lens 213, a mirror 214, and a condensing lens 215. The liquid crystal display according [liquid crystal panels 208, 210, and 216] to this invention is used. That is, liquid crystal is enclosed between the TFT substrates and opposite substrates which were formed in the 1st example and the 2nd example, and it considers as a liquid crystal panel.

[0034] The light of three colors by which light modulation was carried out with liquid crystal panels 208, 210, and 216 is compounded by the prism component of the abbreviation mold for L characters which consists of prism members 217a, 217b, and 217c, and it is projected on it by the screen 219 with a projector lens 218.

[0035] In addition, although the liquid crystal projector equipment explained above is 3 plate methods, this invention can be used also in a veneer method.

[0036]

[Effect of the Invention] As explained above, according to this invention, the numerical aperture of a liquid crystal display and coexistence of storage capacitance can be aimed at.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the structure sectional view showing the 1st example of the liquid crystal display of this invention.

[Drawing 2] It is the top view showing the 1st example of the liquid crystal display of this invention.

[Drawing 3] It is the structure sectional view showing the 2nd example of the liquid crystal display of this invention.

[Drawing 4] It is the top view showing the 2nd example of the liquid crystal display of this invention.

[Drawing 5] It is the structure sectional view showing the 3rd example of the liquid crystal display of this invention.

[Drawing 6] It is the top view showing the 3rd example of the liquid crystal display of this invention.

[Drawing 7] It is the structure sectional view showing the 4th example of the liquid crystal display of this invention.

[Drawing 8] It is the top view showing the 4th example of the liquid crystal display of this invention.

[Drawing 9] It is drawing showing the example of 1 configuration of the liquid crystal projector equipment of this invention.

[Drawing 10] It is the typical structure sectional view of the conventional black matrix one apparatus TFT substrate.

[Drawing 11] It is drawing showing the mimetic diagram of the pixel field divided by the data line and the gate line.

[Description of Notations]

101 Glass Substrate

102 Protection-from-Light Layer

103 Substrate Insulator Layer

104 Barrier Layer

105 Gate Dielectric Film

106 Gate Line

107 1st Interlayer Insulation Film

108 Data Line

109 Pad Section

110 2nd Interlayer Insulation Film

111 Capacity Electrode Layer

112 Capacity Insulator Layer

113 Black Matrix

114 3rd Interlayer Insulation Film

115 Pixel Electrode Layer

116 Pad Section

117 Barrier Layer

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2001-281684
(P2001-281684A)

(43)公開日 平成13年10月10日(2001. 10. 10)

(51)Int.Cl. ⁷	識別記号	F I	テ-マコ-ト*(参考)
G 0 2 F 1/1343		G 0 2 F 1/1343	
1/13	5 0 5	1/13	5 0 5
1/1368		G 0 3 B 21/00	E.
G 0 3 B 21/00		G 0 2 F 1/136	5 0 0
H 0 1 L 29/786		H 0 1 L 29/78	6 1 2 D
審査請求 未請求 請求項の数12 O L (全 8 頁) 最終頁に続く			

(21)出願番号 特願2001-10372(P2001-10372)

(22)出願日 平成13年1月18日(2001. 1. 18)

(31)優先権主張番号 特願2000-14996(P2000-14996)

(32)優先日 平成12年1月24日(2000. 1. 24)

(33)優先権主張国 日本 (J P)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 奥村 展

東京都港区芝五丁目7番1号 日本電気株
式会社内

(74)代理人 100065385

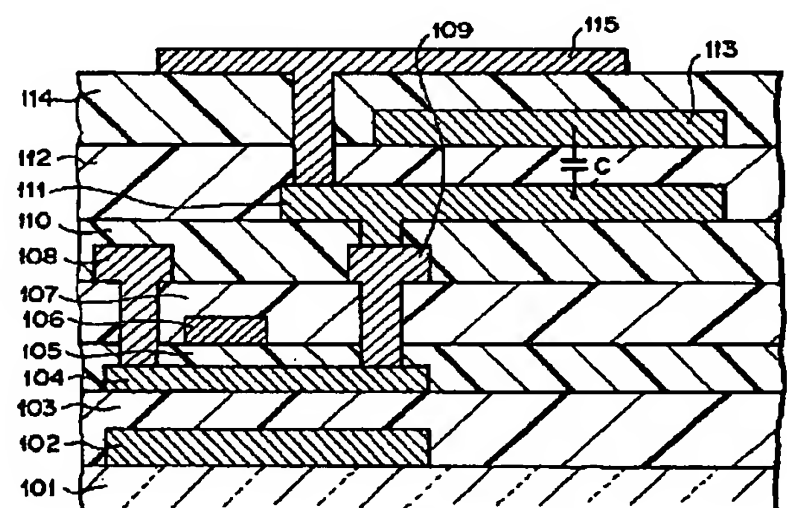
弁理士 山下 穰平

(54)【発明の名称】 液晶表示装置及び液晶プロジェクト装置

(57)【要約】

【課題】 表示装置の開口率と蓄積容量の両立を図る。

【解決手段】 基板101上に、スイッチ素子を構成する複数の層104、103、106、108、109と、該スイッチ素子に接続される画素電極層115と、画素電極層及び複数の層とは異なる層からなる、容量の一方の電極となる容量電極層111と、を有する。



- 101: ガラス基板
- 102: 遮光膜
- 103: 下地絶縁膜
- 104: 活性層
- 105: ゲート絶縁膜
- 106: ゲート線
- 107: 第1層間絶縁膜
- 108: データ線
- 109: パッド部
- 110: 第2層間絶縁膜
- 111: 容量電極
- 112: 容量絶縁膜
- 113: ブラックマトリクス
- 114: 第3層間絶縁膜
- 115: 画素電極

(2)

【特許請求の範囲】

【請求項1】 基板上に、スイッチ素子を構成する複数の層と、該スイッチ素子に接続される画素電極層と、該画素電極層及び該複数の層とは異なる層からなる、容量の一方の電極となる容量電極層と、を有する液晶表示装置。

【請求項2】 前記容量電極層は前記複数の層と前記画素電極層との間に設けられている請求項1に記載の液晶表示装置。

【請求項3】 前記容量電極層が前記画素電極層と接続されている請求項1又は請求項2に記載の液晶表示装置。

【請求項4】 前記容量電極層上に絶縁膜を介して導電性の遮光層を設けることで、前記容量を構成してなる請求項3に記載の液晶表示装置。

【請求項5】 導電性の遮光層上に絶縁膜を介して前記容量電極層を設けることで、前記容量を構成してなる請求項3に記載の液晶表示装置。

【請求項6】 前記容量を構成する上下2層の導電性薄膜層のうち、より上部に位置する導電性薄膜層が、バリア層と金属層の2層構造となることを特徴とする請求項1から請求項5のいずれかの請求項に記載の液晶表示装置。

【請求項7】 前記バリア層が非単結晶半導体薄膜であることを特徴とする請求項6に記載の液晶表示装置。

【請求項8】 前記非単結晶半導体薄膜が、プラズマCVD法によって成膜されたマイクロクリスタルシリコンであることを特徴とする請求項7に記載の液晶表示装置。

【請求項9】 遮光層が前記複数の層と前記画素電極層との間に設けられ、該遮光層と前記容量電極層とが接続されている請求項1又は請求項2に記載の液晶表示装置。

【請求項10】 前記容量電極層上に絶縁膜を介して前記画素電極層を設けることで、前記容量を構成してなる請求項9に記載の液晶表示装置。

【請求項11】 前記スイッチ素子は活性層、ゲート絶縁膜、ゲート線層、データ線層を有する絶縁ゲート型電界効果トランジスタであり、該活性層下に下地遮光層を有する請求項1から請求項10のいずれかの請求項に記載の液晶表示装置。

【請求項12】 請求項1から請求項11のいずれかの請求項に記載の液晶表示装置と、該液晶表示装置に光を照射する光源と、該光源からの光を該液晶表示装置に導く光学系と、該液晶表示装置からの情報光を投射するための光学系と、を備えた液晶プロジェクタ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は液晶表示装置及び液晶プロジェクタ装置に係わり、特に基板上に、スイッチ素子を構成する複数の層と、該スイッチ素子に接続され

2

る画素電極層と、容量の一方の電極となる容量電極層とを有する液晶表示装置及び液晶プロジェクタ装置に関する。

【0002】

【従来の技術】近年、ポリシリコン薄膜トランジスタ (poly-Si TFT) により、安価なガラス基板上に駆動回路を備えた液晶表示装置を形成することが可能となっている。poly-SiTFTはアモルファスシリコン薄膜トランジスタ (a-SiTFT) と比べて高移動度であるために画素薄膜トランジスタ (TFT) の小型化が可能となり、特に小型高精細化が要求されるデータプロジェクタ用液晶ライトバルブに適している。

【0003】一般にpoly-SiTFT液晶ライトバルブは、活性層、ゲート絶縁膜、ゲート線、データ線および画素電極等の一般的な直視型液晶パネルと同様な薄膜構成に加えて、投射光の基板裏面からの反射光からTFTを保護するための下部遮光層 (下地遮光層) を形成する。また、上部遮光層となる画素分割のブラックマトリクス (BM) はTFT基板、あるいは対向基板のどちらに作成しても良いが、対向基板側に作成した際はTFT基板との目合わせ精度に問題があるため、高精細の点ではTFT基板側に作成した方が有利である。

【0004】図10に従来のブラックマトリクス一体型TFT基板の模式的な構造断面図を示す。図11にデータ線及びゲート線で区切られた画素領域の平面模式図を示す。

【0005】ここで画素の蓄積容量は主として、活性層104と、ゲート線106と同層となる (すなわち同時に成膜及び島状化される) 容量電極層111との間で形成される。容量電極層111は、データ線108と同層のパッド部116を介してブラックマトリクス113と接続されており、画素アレイの外部でブラックマトリクスに電位が印加される。画素電極層115は、データ線108と同層のパッド部109を介して活性層104と接続される。

【0006】なお、この種の液晶表示装置としては、特開平5-289108号公報、特開平9-26603号公報、特開平9-197439号公報、特開平10-206893号公報、特許第2950061号に開示がある。

【0007】

【発明が解決しようとする課題】図11に示すように、画素領域内には、蓄積容量部、パッド部およびコンタクトホール等が形成されており、これらは開口率を低減する要因となる。即ち、画素開口率と、蓄積容量を規定する蓄積容量部の大きさとはトレードオフの関係にある。

【0008】以上述べたように、液晶ライトバルブには開口率と蓄積容量の両立という問題がある。

【0009】

【課題を解決するための手段】本発明の液晶表示装置は、基板上に、スイッチ素子を構成する複数の層と、該

50

(3)

3

スイッチ素子に接続される画素電極層と、該画素電極層及び該複数の層とは異なる層からなる、容量の一方の電極となる容量電極層と、を有するものである。

【0010】本発明の液晶プロジェクタ装置は、上記本発明の液晶表示装置と、該液晶表示装置に光を照射する光源と、該光源からの光を該液晶表示装置に導く光学系と、該液晶表示装置からの情報光を投射するための光学系と、を備えたものである。

【0011】本発明は、液晶表示装置、特に液晶プロジェクタ装置のアクティブマトリクス型液晶ライトバルブにおいて、独立した層としての容量電極層を有することにより、画素開口率と蓄積容量の両立を図るものである。

【0012】

【実施例】以下、本発明の実施例について図面を用いて詳細に説明する。

【0013】（第1実施例）本発明の第1の実施例について、図1の構造断面図および図2の平面図を用いて説明する。なお、図1は模式的に本発明による液晶表示装置の全薄膜層を表した図であり、図2の平面図におけるある特定の断面を示す図ではない。

【0014】まず、ガラス基板101上に下部遮光層（下地遮光層）102として、 WSi_2 を膜厚180nmとなるように、スパッタ法を用いて成膜し、通常のPR法（フォトリソプロセス）により島状化した。次に下地絶縁膜103として、 SiO_2 を膜厚500nmとなるようにPECVD法（プラズマCVD法）を用いて成膜した。

【0015】次に活性層104となるpoly-Si膜を形成し、PR法で島状化した。ここでpoly-Si膜の形成法としてはレーザアニール法を用いることにした。まず、PECVD法を用いてa-Si膜を、膜厚60nmとなるように成膜した後、400度による30分間の脱水素アニールを行い、エキシマレーザ光を照射した。照射条件としては、ビーム径 $200 \times 0.4 \text{ mm}^2$ 、エネルギー密度 450 mJ/cm^2 で、重ね率95%のスキャン照射とした。

【0016】次にゲート絶縁膜105として、 SiO_2 を膜厚100nmとなるようにPECVD法を用いて成膜した。次にゲート線106として、 WSi_2 を膜厚150nmとなるようにスパッタ法を用いて成膜し、PR法で島状化した。

【0017】ゲート線106を形成後、イオンドーピング法により、活性層104のソース、ドレインおよびLDD領域となる場所に、PおよびBの不純物をドーピングし、500度による4時間の活性化熱処理を行った。次に第1層間絶縁膜107としてSiNを300nmとなるようにPECVD法を用いて成膜した。次に所望の位置にコンタクトホールをドライエッチング法を用いて形成後、データ線108としてAlを膜厚400nmとなるようにスパッタ法を用いて成膜し、PR法により島状化した。ここで、同時にパッド部109も形成した。

【0018】次に第2層間絶縁膜110としてSiNを400nmと

4

なるようにPECVD法を用いて成膜した。次にコンタクトホールをドライエッチング法を用いて形成後、容量電極層111としてTiを膜厚80nmとなるようにスパッタ法を用いて成膜し、PR法で島状化した。次に容量絶縁膜112としてSiNを200nmとなるようにPECVD法を用いて成膜した。次に上部遮光層となるブラックマトリクス113としてAlを膜厚500nmとなるようにスパッタ法を用いて成膜し、PR法により島状化した。本実施例では、主たる蓄積容量は容量電極層111とブラックマトリクス113との間に形成される。画素アレイの外部においてブラックマトリクス113には電位が印加される。

【0019】次に第3層間絶縁膜114として、SiNを200nmとなるようにPECVD法を用いて成膜した後有機平坦化膜を膜厚800nmとなるように塗布し、焼成した。次にコンタクトホールをドライエッチング法を用いて形成後、画素電極層115として、ITOを膜厚100nmとなるようにスパッタ法を用いて成膜し、PR法で島状化した。以上の工程により、TFT基板が完成した。

【0020】本実施例では、蓄積容量は僅かなコンタクト部を除き、ブラックマトリクス下部に形成される。また、コンタクトホールは3個であり、従来例の4個より減少している。従って、開口率と蓄積容量の両立を果たすことが可能となった。

【0021】（第2実施例）本発明の第2の実施例について、図3の構造断面図および図4の平面図を用いて説明する。第1の実施例と同様に、ガラス基板101上に下部遮光層102から容量電極層111までを形成する。次に容量絶縁膜112としてSiNを80nmとなるようにPECVD法を用いて成膜した。次にバリア層117として、不純物としてPを導入したマイクロクリスタル（微結晶）シリコン薄膜を膜厚100nmとなるようにPECVD法を用いて成膜し、次にブラックマトリクス113としてAlを膜厚400nmとなるようにスパッタ法を用いて成膜した。次にブラックマトリクス113とバリア層117の2層薄膜をまとめてPR法により島状化した。本実施例では、主たる蓄積容量は容量電極層111と、バリア層117を有するブラックマトリクス113との間に形成される。

【0022】ここで、ブラックマトリクス113がバリア層117を有することにより、容量電極間のリーク電流が低下する効果が現れる。例えば本実施例における容量間リーク電流は、第1の実施例における容量間リーク電流の1/100となる。これはブラックマトリクス113に用いられる金属（Al）の容量絶縁膜112中への拡散がバリア層117により抑制されるためである。そのため、本実施例では容量絶縁膜112の膜厚を薄膜化することが可能となり、容量電極の単位面積あたりの容量値が増大する結果、容量電極の面積を減ずることが可能となる。容量電極の面積が減少することにより、更なる開口率の向上、あるいは各導電層間の間隔を広げることが出来るため、歩留まり及び信頼性が向上する。

(4)

5

【0023】バリア層としては、マイクロクリスタルシリコン以外にも、多結晶シリコン、TiN、TiSi₂などが用いられる。但し、データ線108にAlを用いているため、バリア層117の成膜温度は350度以下とする。従って、バリア層117の成膜法としてはスパッタ法あるいはPECVD法等が用いられる。また多結晶シリコンの場合は、レーザーアニール法もしくはRTA法(ラピッド・サーマル・アニール法)等の、比較的下地層に温度上昇をもたらすことのない結晶化法により、非晶質シリコンを結晶化して形成することが可能である。

【0024】その後、第1の実施例と同様に画素電極115までを形成し、TFT基板が完成した。本実施例では、蓄積容量は僅かなコンタクト部を除き、ブラックマトリクス下部に形成される。また、コンタクトホールは3個であり、従来例の4個より減少している。また、ブラックマトリクスの下部層にバリア層117を有している。従って、歩留まり及び信頼性が高く、かつ開口率と蓄積容量の両立を果たすことが可能となった。

【0025】(第3実施例) 本発明の第3の実施例について、図5の構造断面図および図6の平面図を用いて説明する。第1の実施例と同様に、ガラス基板101上に下部遮光層102からデータ線108およびパッド部109までを形成する。次にブラックマトリクス113としてCrを150nmとなるように、スパッタ法を用いて成膜し、通常のPR法により島状化した。次に容量絶縁膜112としてSiNを80nmとなるようにPECVD法を用いて成膜した。次にバリア層117としてTiNを膜厚50nmとなるようにスパッタ法を用いて形成した。次に通常のPR法及びドライエッチング法によりパッド部109までのコンタクトホールを形成した。次に容量電極111としてAlを膜厚400nmとなるようにスパッタ法を用いて成膜した。次に容量電極111とバリア層117の2層薄膜をまとめてPR法により島状化した。本実施例では、主たる蓄積容量はバリア層117を有する容量電極層111と、ブラックマトリクス113との間に形成される。

【0026】その後、第1の実施例と同様に画素電極115までを形成し、TFT基板が完成した。本実施例では、蓄積容量は僅かなコンタクト部を除き、ブラックマトリクス下部に形成される。また、コンタクトホールは3個であり、従来例の4個より減少している。また、容量電極の下部層にバリア層117を有している。従って、歩留まり及び信頼性が高く、かつ開口率と蓄積容量の両立を果たすことが可能となった。

【0027】(第4実施例) 本発明の第4の実施例について、図7の構造断面図および図8の平面図を用いて説明する。ガラス基板101上に下部遮光層(下地遮光層)102として、Crを膜厚200nmとなるように、スパッタ法を用いて成膜し、通常のPR法により島状化した。次に下地絶縁膜103として、SiO₂を膜厚500nmとなるようにPECVD法を用いて成膜した。次に活性層104となるpoly-Si膜を

6

形成し、PR法で島状化した。ここでpoly-Si膜の形成法としてはレーザーアニール法を用いることにした。まず、LPCVD法(低圧CVD法)を用いてa-Si膜を、膜厚50nmとなるように成膜した後、エキシマレーザー光を照射した。照射条件としては、ビーム径200×0.4mm²、エネルギー密度450mJ/cm²で、重ね率95%のスキャン照射とした。次にゲート絶縁膜105として、SiO₂を膜厚100nmとなるようにPECVD法を用いて成膜した。次にゲート線106として、WSi₂を膜厚150nmとなるようにスパッタ法を用いて成膜し、PR法で島状化した。

【0028】ゲート線形成後、イオンドーピング法により、活性層のソース、ドレインおよびLDD領域となる場所に、PおよびBの不純物をドーピングし、RTA法による活性化熱処理を行った。次に第1層間絶縁膜107としてSiNを300nmとなるようにPECVD法を用いて成膜した。次に所望の位置にコンタクトホールをドライエッチング法を用いて形成後、データ線108としてTi/Al複層膜を膜厚50および400nmとなるようにスパッタ法を用いて成膜し、PR法により島状化した。ここで、同時にパッド部109も形成した。次に第2層間絶縁膜110としてSiNを400nmとなるようにPECVD法を用いて成膜した。次にブラックマトリクス113としてAlを膜厚500nmとなるようにスパッタ法を用いて成膜し、PR法により島状化した。次に第3層間絶縁膜114として、SiNを200nmとなるようにPECVD法を用いて成膜した後有機平坦化膜を膜厚800nmとなるように塗布し、焼成した。

【0029】次にコンタクトホールをドライエッチング法を用いて形成後、容量電極層111としてITOを膜厚50nmとなるようにスパッタ法を用いて成膜し、PR法で島状化した。次に容量絶縁膜112としてSiO₂を100nmとなるようにスパッタ法を用いて成膜した。次にコンタクトホールをドライエッチング法を用いて形成後、画素電極層115として、ITOを膜厚100nmとなるようにスパッタ法を用いて成膜し、PR法で島状化した。本実施例では、主たる蓄積容量は容量電極層111と画素電極層115との間に形成される。画素アレイの外部においてブラックマトリクス113には電位が印加される。以上の工程により、TFT基板が完成した。

【0030】本実施例では、蓄積容量は透光性を有するITO膜により画素領域全般にわたり形成されている。また、コンタクトホールは3個であり、従来例の4個より減少している。従って、開口率と蓄積容量の両立を果たすことが可能となった。

【0031】以下、本発明の液晶表示装置を用いた液晶プロジェクタ装置の一構成例について説明する。この液晶プロジェクタ装置は特開平11-337900号公報に開示されたものである。

【0032】図9は本発明の液晶プロジェクタ装置の一構成例を示す図である。図9において、ランプ201から照射された光は、UV-I Rカットフィルタ202、マル

(5)

7

チアレイルレンズ203、204、平凸レンズ205を介してダイクロイックミラー206に入射し、赤色光R及び緑色光Gと、青色光Bとに分離される。さらに赤色光R及び緑色光Gはダイクロイックミラー207によって赤色光Rと緑色光Gとに分離される。

【0033】分離された青色光Bは、ミラー220、コンデンサレンズ221を介して青色用液晶パネル208に導かれる。また分離された赤色光Rはコンデンサレンズ209を介して赤色用液晶パネル210に導かれる。また分離された緑色光Gはリレーレンズ211、ミラー212、リレーレン
ズ213、ミラー214、コンデンサレンズ215を介して緑色
用液晶パネル216に導かれる。液晶パネル208、210、216
は本発明による液晶表示装置が用いられる。すなわち、
第1実施例及び第2実施例で形成したTFT基板と対向
基板との間に液晶を封入して液晶パネルとする。

【0034】液晶パネル208、210、216で光変調された
3色の光はプリズム部材217a、217b、217cからなる略L
字型のプリズム素子によって合成され投射レンズ218に
よってスクリーン219に投射される。

【0035】なお、以上説明した液晶プロジェクタ装置
は三板方式であるが、単板方式においても本発明を用い
ることができる。

【0036】

【発明の効果】以上説明したように、本発明によれば、
液晶表示装置の開口率と蓄積容量の両立を図ることがで
きる。

【図面の簡単な説明】

【図1】本発明の液晶表示装置の第1の実施例を示す構
造断面図である。

【図2】本発明の液晶表示装置の第1の実施例を示す平
面図である。

【図3】本発明の液晶表示装置の第2の実施例を示す構
造断面図である。

【図4】本発明の液晶表示装置の第2の実施例を示す平

8

面図である。

【図5】本発明の液晶表示装置の第3の実施例を示す構
造断面図である。

【図6】本発明の液晶表示装置の第3の実施例を示す平
面図である。

【図7】本発明の液晶表示装置の第4の実施例を示す構
造断面図である。

【図8】本発明の液晶表示装置の第4の実施例を示す平
面図である。

【図9】本発明の液晶プロジェクタ装置の一構成例を示
す図である。

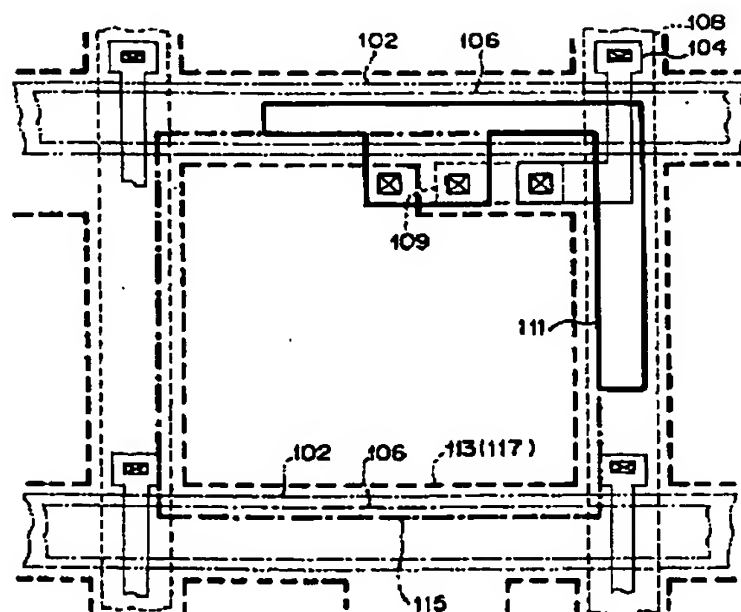
【図10】従来のブラックマトリクス一体型TFT基板の
模式的な構造断面図である。

【図11】データ線及びゲート線で区切られた画素領域
の平面模式図を示す図である。

【符号の説明】

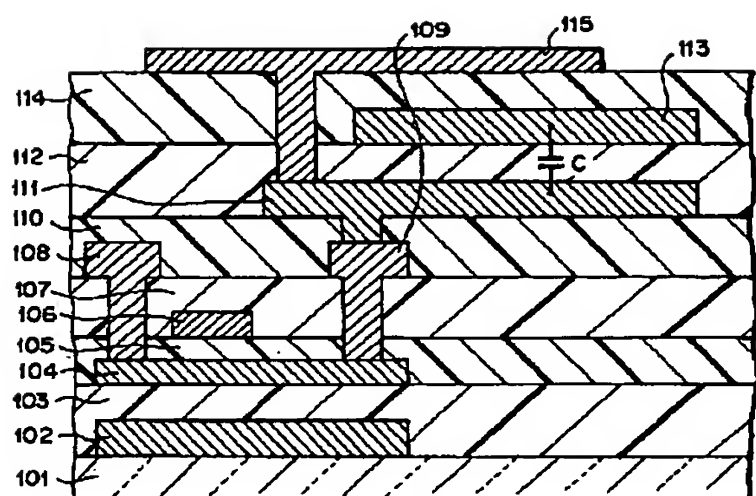
- | | |
|-----|-----------|
| 101 | ガラス基板 |
| 102 | 遮光層 |
| 103 | 下地絶縁膜 |
| 104 | 活性層 |
| 105 | ゲート絶縁膜 |
| 106 | ゲート線 |
| 107 | 第1層間絶縁膜 |
| 108 | データ線 |
| 109 | パッド部 |
| 110 | 第2層間絶縁膜 |
| 111 | 容量電極層 |
| 112 | 容量絶縁膜 |
| 113 | ブラックマトリクス |
| 114 | 第3層間絶縁膜 |
| 115 | 画素電極層 |
| 116 | パッド部 |
| 117 | バリア層 |

【図4】



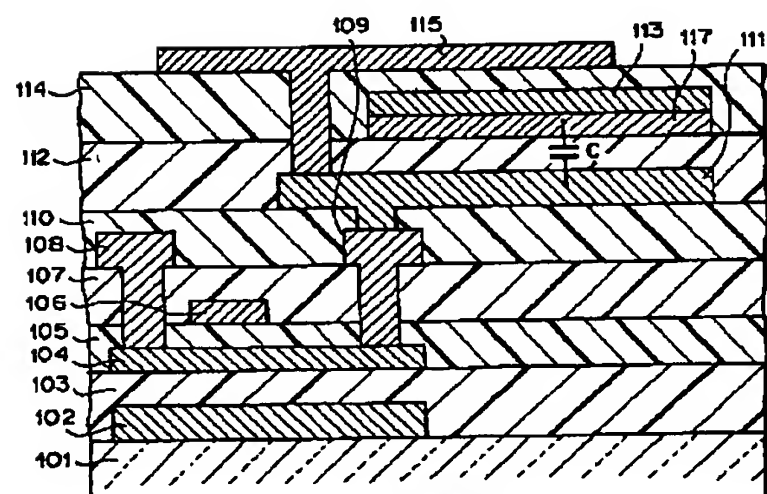
(6)

【図1】



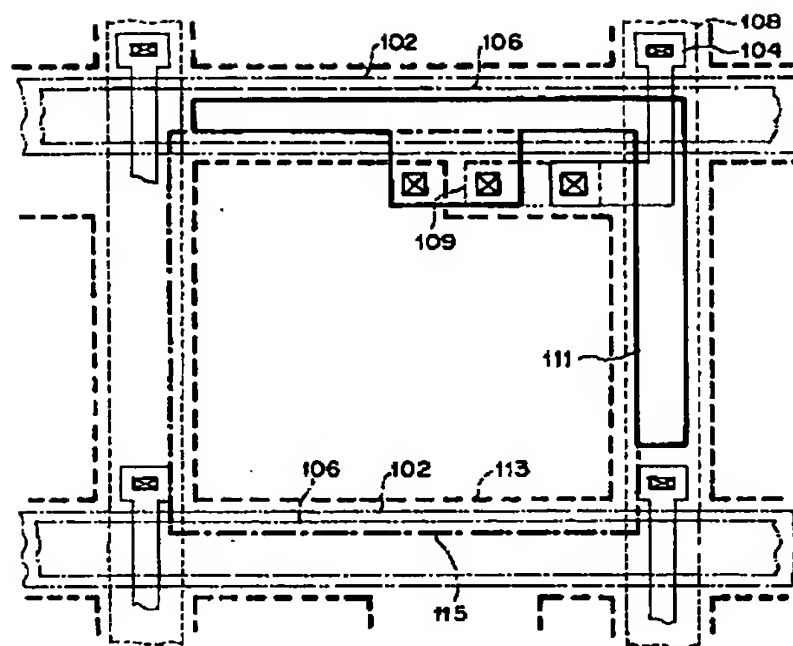
- 101 : ガラス基板
- 102 : 遮光膜
- 103 : 下地絶縁膜
- 104 : 活性層
- 105 : ゲート絶縁膜
- 106 : ゲート線
- 107 : 第1層間絶縁膜
- 108 : データ線
- 109 : パッド部
- 110 : 第2層間絶縁膜
- 111 : 容量電極
- 112 : 容量絶縁膜
- 113 : ブラックマトリクス
- 114 : 第3層間絶縁膜
- 115 : 画素電極

【図3】

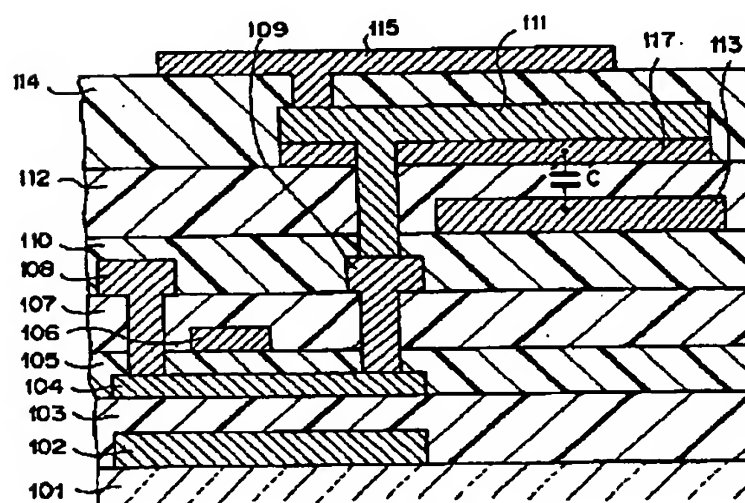


- 101 : ガラス基板
- 102 : 遮光膜
- 103 : 下地絶縁膜
- 104 : 活性層
- 105 : ゲート絶縁膜
- 106 : ゲート線
- 107 : 第1層間絶縁膜
- 108 : データ線
- 109 : パッド部
- 110 : 第2層間絶縁膜
- 111 : 容量電極
- 112 : 容量絶縁膜
- 113 : ブラックマトリクス
- 114 : 第3層間絶縁膜
- 115 : 画素電極
- 117 : バリア層

【図2】



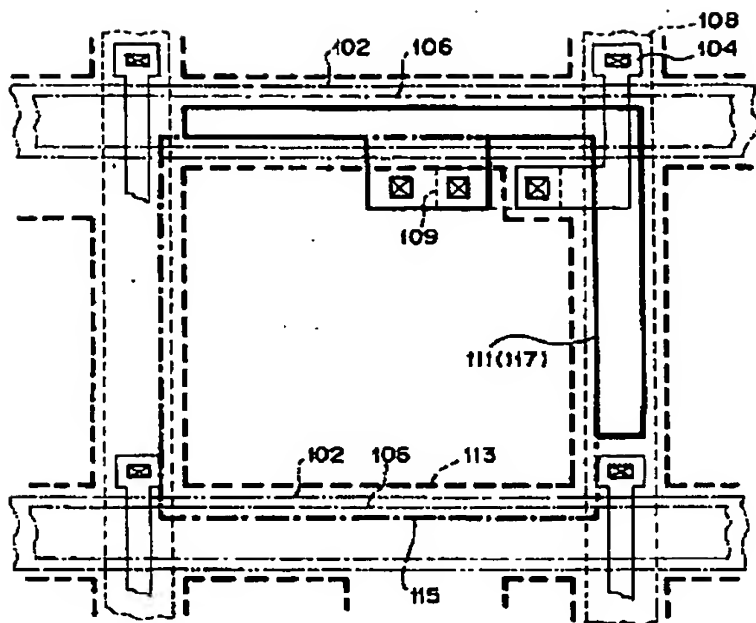
【図5】



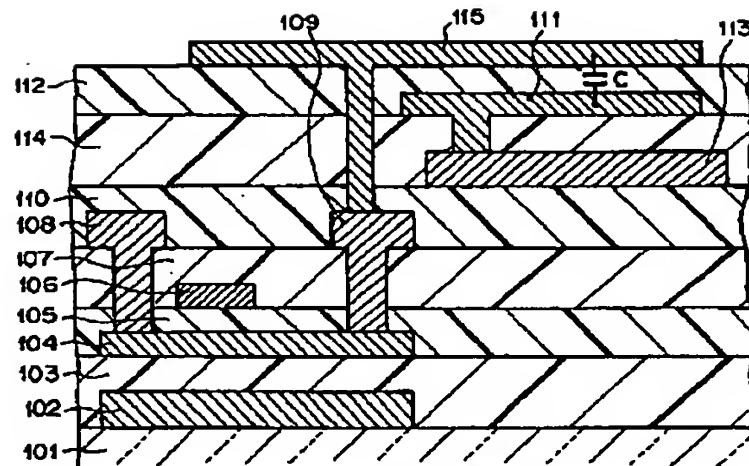
- 101 : ガラス基板
- 102 : 遮光膜
- 103 : 下地絶縁膜
- 104 : 活性層
- 105 : ゲート絶縁膜
- 106 : ゲート線
- 107 : 第1層間絶縁膜
- 108 : データ線
- 109 : パッド部
- 110 : 第2層間絶縁膜
- 111 : 容量電極
- 112 : 容量絶縁膜
- 113 : ブラックマトリクス
- 114 : 第3層間絶縁膜
- 115 : 画素電極
- 117 : バリア層

(7)

【図6】

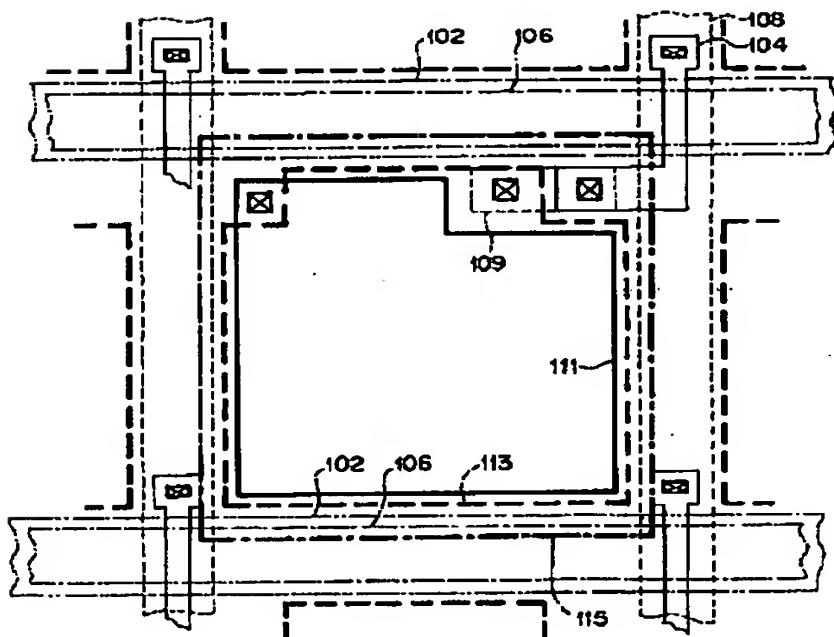


【図7】

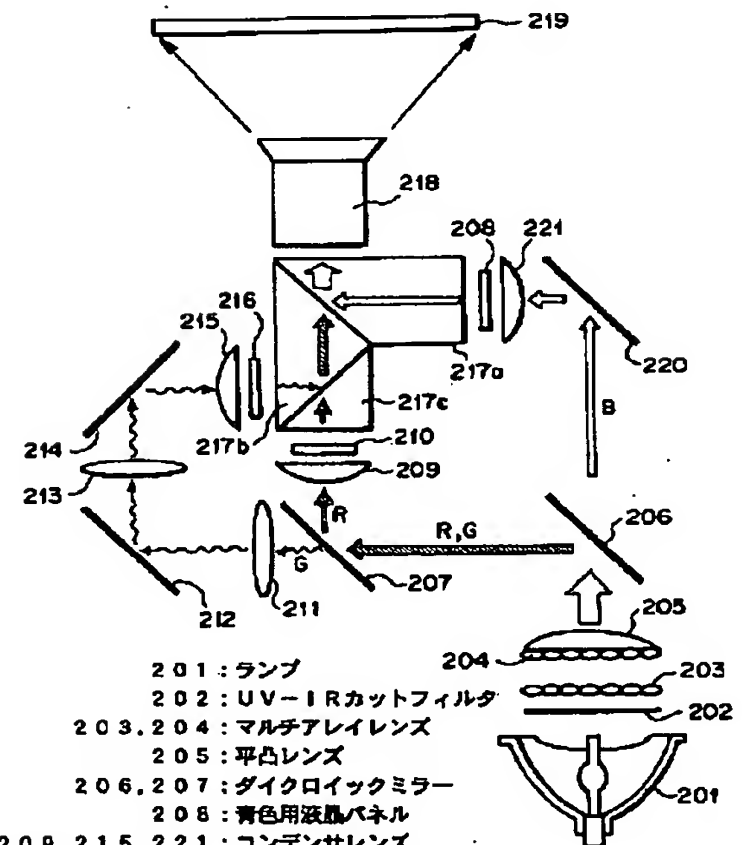


- 101: ガラス基板
 102: 遮光膜
 103: 下地絶縁膜
 104: 活性層
 105: ゲート絶縁膜
 106: ゲート線
 107: 第1層間絶縁膜
 108: データ線
 109: パッド部
 110: 第2層間絶縁膜
 111: 容量電極
 112: 容量絶縁膜
 113: ブラックマトリクス
 114: 第3層間絶縁膜
 115: 画素電極

【図8】



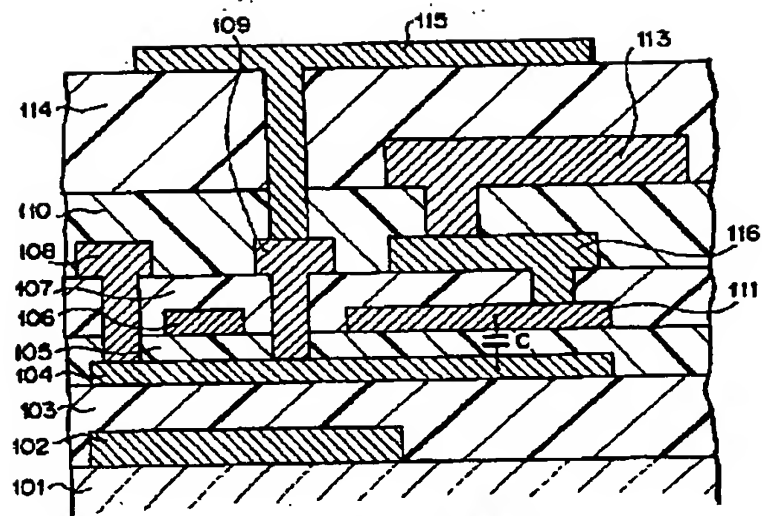
【図9】



- 201: ランプ
 202: UV-IRカットフィルタ
 203, 204: マルチアレイレンズ
 205: 平凸レンズ
 206, 207: ダイクロイックミラー
 208: 青色用液晶パネル
 209, 215, 221: コンデンサレンズ
 210: 赤色用液晶パネル
 211, 213: リレーレンズ
 212, 214, 220: ミラー
 218: 緑色用液晶パネル
 217a, 217b, 217c: プリズム部材
 218: 投射レンズ
 219: スクリーン

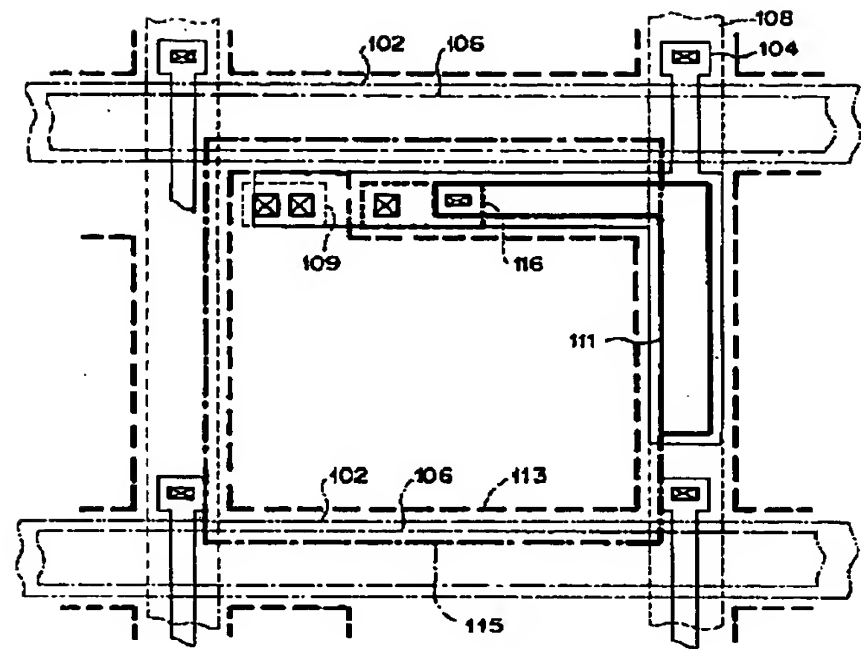
(8)

【図10】



- 101 : ガラス基板
 102 : 遮光膜
 103 : 下地絶縁膜
 104 : 活性層
 105 : ゲート絶縁膜
 106 : ゲート線
 107 : 第1層間絶縁膜
 108 : データ線
 109, 116 : パッド部
 110 : 第2層間絶縁膜
 111 : 容量電極
 113 : ブラックマトリクス
 114 : 第3層間絶縁膜
 115 : 画素電極

【図11】



フロントページの続き

(51) Int. Cl. 7
H01L 21/336

識別記号

FI
H01L 29/78

テーマコード (参考)

612Z
619B